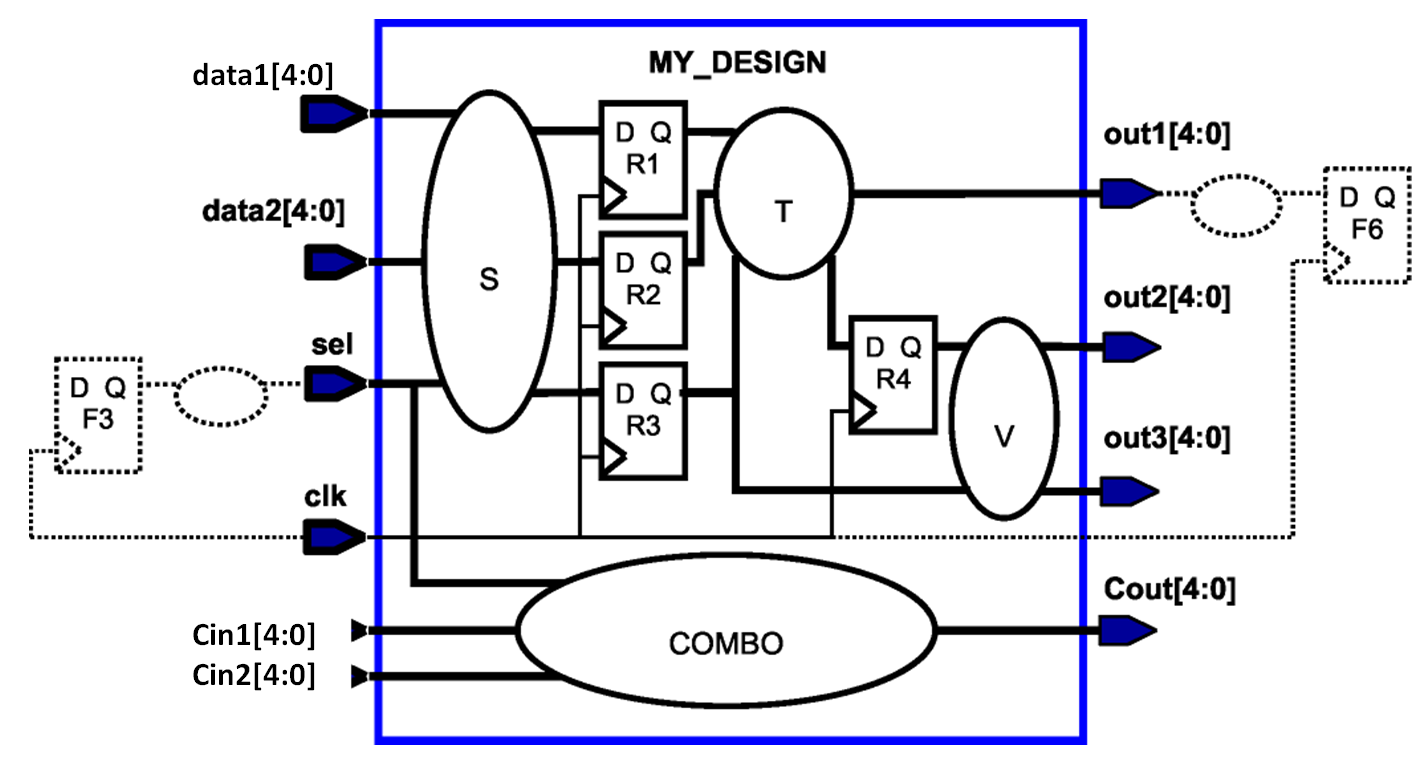
Используя спецификацию на проект и схему проекта, сформируйте необходимые ограничения в файле **constraints/MY\_DESIGN.sdc**

**Схема проекта (rtl/MY\_DESIGN.v)**



**Спецификация ограничений (constraints/MY\_DESIGN.sdc)**

|  |  |
| --- | --- |
| **Clocks**   1. Clock clk has a frequency of 333.(3) Mhz. (All inputs and outputs are launched/captured by this same clock - no virtual clocks needed for I/Os) 2. The maximum clock generator delay (located outside MY DESIGN) to the elkport is 700ps. (HINT: source latency) 3. The maximum insertion delay from the clock port to all the register clock pins is 300ps +/- 30ps. 4. The clock period can fluctuate with total jitter equal 40ps. 5. Apply 50ps of "setup margin" to the clock period. 6. The worst case rise/fall transition time of any clock pin is 120 ps. 7. Assume a maximum setup time of 0.2ns for any register in MY\_DESIGN | 1. Тактовая частота clk составляет 333 (3) МГц. (Все входы и выходы запускаются/перехватываются одними и теми же тактовыми импульсами - для ввода-вывода виртуальные тактовые импульсы не требуются) 2. Максимальная задержка генератора тактовых импульсов (который находится за пределами MY\_DESIGN) на порту clk составляет 700 ps. (HINT: source latency) 3. Максимальная задержка от порта синхронизации ко всем пинам clk регистров составляет 300 +/-30 ps 4. Период синхронизации может варьироваться в следствии jitter = 40ps 5. Примените к периоду синхронизации “проектный запас" в 50 ps 6. Наихудшее время переключения любого тактового сигнала составляет 120 ps 7. Предположим, что максимальное время setup для любого регистра в  MY\_DESIGN составляет 0,2нс |
| **Inputs:**  1. The maximum delay from ports data1 and data2 through the internal input logic S is 2.2ns.  2. The latest F3 data arrival time at the sel port is 1.4ns absolute time. (HINT: Input delay is specified relative to the launching clock edge)  **Outputs:**  1. The maximum delay of the external combo logic at port outl is 420ps; F6 has a setup time of 80ps.  2. The maximum internal delay to out2 is 810ps  3. The out3 port has a 400ps setup time requirement with respect to its capturing register clock pin.  **Combo:**  The maximum delay from Cinl and Cin2 to Cout is 2.45ns | Входы:   1. Максимальная задержка от портов data1 и data2 до внутренней логики ввода составляет 2,2нс. 2. Самое позднее абсолютное время поступления данных от F3 на порт sel составляет 1,4нс (задержка ввода задается с учетом фактического расположения launch edge)   Выходы:   1. Максимальная задержка внешней комбинированной логики на выходе порта составляет 420 ps; время setup F6 составляет 80 ps. 2. Максимальная внутренняя задержка на выходе out2 составляет 810 ps 3. Для порта out3 требуется обеспечить внешний setup time в 400 ps   Комбинационная :   1. Максимальная задержка от Cin1 и Cin2 до Cout составляет 2,45нс |